

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-062845

(43)Date of publication of application : 28.02.2002

(51)Int.Cl.

G09G 3/30  
G09F 9/00  
G09G 3/20  
H05B 33/04  
H05B 33/08  
H05B 33/12  
H05B 33/14

(21)Application number : 2001-166460

(71)Applicant :

SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 01.06.2001

(72)Inventor :

KOYAMA JUN

(30)Priority

Priority number : 2000168331

Priority date : 06.06.2000

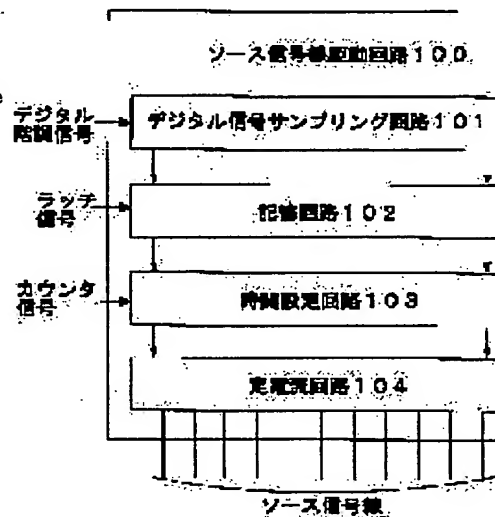
Priority country : JP

## (54) DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve distortion problems of a single crystal IC chip and a pixel substrate interface which are issues when a signal line driving circuit like a single crystal IC chip is built in a display device in a passive type EL display device, and to manufacture a high opening rate active type EL display device.

**SOLUTION:** A digital signal sampling circuit, a storing circuit, a time setting circuit, and a signal line driving circuit constituted of a constant current circuit are formed of TFTs on a insulating substrate of the same material as the pixel part substrate. Thus, a distortion problem at the time of sticking the signal line driving circuit on the pixel part substrate can be solved in a passive type EL display device. Moreover, in an active type EL display device, a piece of pixel is made so as to be constituted of one transistor and one EL element. Thus, the EL display device is increased in an opening rate.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

JAPANESE

[JP,2002-062845,A]

---

CLAIMS	DETAILED DESCRIPTION	TECHNICAL FIELD	PRIOR ART	EFFECT OF THE INVENTION	TECHNICAL PROBLEM	MEANS	EXAMPLE
DESCRIPTION OF DRAWINGS		DRAWINGS					

---

[Translation done.]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-62845

(P2002-62845A)

(43)公開日 平成14年2月28日(2002.2.28)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/00	3 4 6	G 0 9 F 9/00	3 4 6 A 5 C 0 8 0
	3 4 8		3 4 8 C 5 G 4 3 5
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 L
	6 2 4		6 2 4 B

審査請求 未請求 請求項の数15 O L (全 26 頁) 最終頁に続く

(21)出願番号 特願2001-166460(P2001-166460)

(22)出願日 平成13年6月1日(2001.6.1)

(31)優先権主張番号 特願2000-168331(P2000-168331)

(32)優先日 平成12年6月6日(2000.6.6)

(33)優先権主張国 日本(J P)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内Fターム(参考) 3K007 AB18 BA06 BB01 BB04 BB07  
CA01 CB01 DA01 DB03 EB00  
GA04

5C080 AA06 BB05 DD30 JJ02 JJ03

JJ04 JJ05 JJ06 KK02 KK43

5G435 AA17 BB05 CC07 CC12 EE32

EE37 EE38 EE41 GG12 HH12

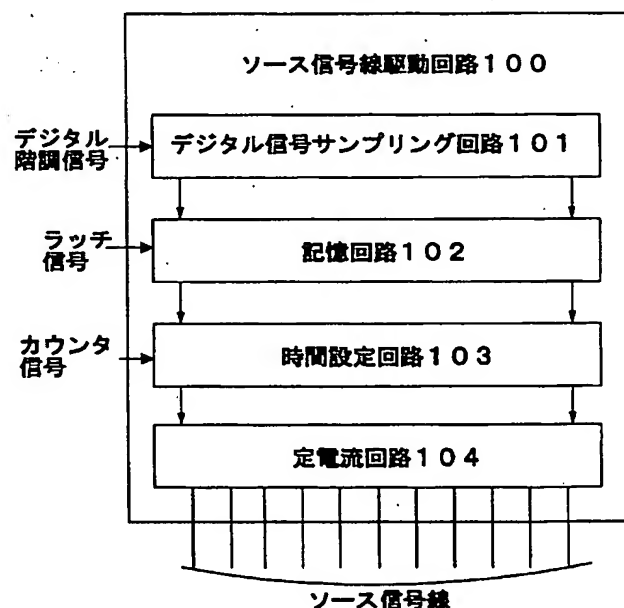
HH13 HH14 KK09 LL01 LL06

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 パッシブ型E L表示装置において、単結晶 I Cチップ状の信号線駆動回路を表示装置に組み込む場合問題となる、単結晶 I Cチップと画素基板界面の歪の問題を解決すること、及びアクティブ型E L表示装置において、開口率の高いものを作製することを課題とする。

【解決手段】 デジタル信号サンプリング回路と、記憶回路と、時間設定回路と、定電流回路により構成される信号線駆動回路を、画素部基板と同じ物質の絶縁基板上にT F Tにより作製する。これによりパッシブ型E L表示装置においては、信号線駆動回路を画素部基板に張り合わせたときの歪みの問題を解消できる。また、アクティブ型E L表示装置において、1つの画素は、1つのトランジスタとE L素子で構成されるようにする。これにより、E L表示装置の開口率は増大する。



## 【特許請求の範囲】

【請求項 1】複数の信号線と、信号線駆動回路とを有する表示装置において、

前記信号線駆動回路は、入力されたデジタル信号を 1 ライン期間にわたってサンプリングするデジタル信号サンプリング回路と、サンプリングされた 1 ライン期間分の前記デジタル信号を記憶する記憶回路と、記憶された前記デジタル信号に対応する期間のパルスに変換する時間設定回路と、前記パルスの期間において、前記信号線に一定電流を出力する定電流回路とにより構成されることを特徴にした表示装置。

【請求項 2】複数のソース信号線と、ソース信号線駆動回路とを有するアクティブ型の表示装置において、前記ソース信号線駆動回路は、入力されたデジタル信号を 1 ライン期間にわたってサンプリングするデジタル信号サンプリング回路と、サンプリングされた 1 ライン期間分の前記デジタル信号を記憶する記憶回路と、記憶された前記デジタル信号に対応する期間のパルスに変換する時間設定回路と、前記パルスの期間において、前記ソース信号線に一定電流を出力する定電流回路とにより構成されることを特徴にした表示装置。

【請求項 3】請求項 1 において、前記信号線駆動回路は、TFT を用いて構成されることを特徴にした表示装置。

【請求項 4】請求項 2 において、前記ソース信号線駆動回路は、TFT を用いて構成されることを特徴にした表示装置。

【請求項 5】複数のソース信号線と、複数のゲート信号線と、複数の画素と、前記複数のソース信号線に信号を入力するためのソース信号線駆動回路と、前記複数のゲート信号線に信号を入力するためのゲート信号線駆動回路とを有する表示装置において、前記複数の画素はそれぞれ、EL 素子と、1 つのスイッチング用 TFT を有しており、前記スイッチング用 TFT のゲート電極が、前記複数のゲート信号線の 1 つと接続されており、前記スイッチング用 TFT のソース領域とドレイン領域のいずれか一方が、前記複数のソース信号線の 1 つと接続されており、前記スイッチング用 TFT のソース領域とドレイン領域の残る 1 方が、前記 EL 素子が有する陰極または陽極に接続されていることを特徴にした表示装置。

【請求項 6】請求項 5 において、前記ソース信号線駆動回路は、入力されたデジタル信号を 1 ライン期間にわたってサンプリングするデジタル信号サンプリング回路と、サンプリングされた 1 ライン期間分の前記デジタル信号を記憶する記憶回路と、記憶された前記デジタル信号に対応する期間のパルスに変換する時間設定回路と、前記パルスの期間において、前記ソース信号線に一定電流を出力する定電流回路とにより構

成されることを特徴にした表示装置。

【請求項 7】請求項 5 または請求項 6 において、前記 EL 素子は、単色発光する EL 層を用い、色変換層と組み合わせて、カラー表示を可能にすることを特徴とする表示装置。

【請求項 8】請求項 5 または請求項 6 において、前記 EL 素子は、白色発光する EL 層を用い、カラーフィルタと組み合わせて、カラー表示を可能にすることを特徴とする表示装置。

10 【請求項 9】請求項 7 または請求項 8 において、前記 EL 層は、低分子系有機物質またはポリマー系有機物質であることを特徴とする表示装置。

【請求項 10】請求項 9 において、前記低分子系有機物質は、Alq<sub>3</sub> (トリス-8-キノリライト-アルミニウム) または TPD (トリフェニルアミン誘導体) からなることを特徴とする表示装置。

20 【請求項 11】請求項 9 において、前記ポリマー系有機物質は、PPV (ポリフェニレンビニレン)、PVK (ポリビニルカルバゾール) またはポリカーボネートからなることを特徴とする表示装置。

【請求項 12】請求項 7 または請求項 8 において、前記 EL 層は、無機物質であることを特徴とする表示装置。

【請求項 13】請求項 1 乃至請求項 12 のいずれか一項に記載の前記表示装置を用いることを特徴とするコンピュータ。

【請求項 14】請求項 1 乃至請求項 12 のいずれか一項に記載の前記表示装置を用いることを特徴とするビデオカメラ。

30 【請求項 15】請求項 1 乃至請求項 12 のいずれか一項に記載の前記表示装置を用いることを特徴とする DVD プレーヤー。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は EL (エレクトロルミネッセンス) 素子を基板上に作り込んで形成された電子表示装置に関する。特に半導体素子 (半導体薄膜を用いた素子) を用いた表示装置に関する。また EL 表示装置を表示部に用いた電子機器に関する。

## 【0002】

【従来の技術】近年、自発光型素子として EL 素子を有した EL 表示装置の開発が活発化している。EL 表示装置は有機 EL ディスプレイ (OLED: Organic EL Display) 又は有機ライトエミッティングダイオード (OLED: Organic Light Emitting Diode) とも呼ばれている。

【0003】EL 表示装置は、液晶表示装置と異なり自発光型である。EL 素子是一对の電極 (陽極と陰極) 間に EL 層が挟まれた構造となっているが、EL 層は通常、積層構造となっている。代表的には、コダック・イ

ーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率がよく、現在、研究開発が進められているEL表示装置は殆どこの構造を採用している。

【0004】また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0005】本明細書において陰極と陽極の間に設けられる全ての層を総称してEL層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。

【0006】そして、上記構造でなるEL層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてEL素子が発光することを、EL素子が駆動すると呼ぶ。また、本明細書中では、陽極、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

【0007】ここで、本明細書中では、EL素子とは、一重項励起子からの発光（蛍光）と、三重項励起子からの発光（燐光）の両方を含むものとする。

【0008】EL表示装置の駆動方式として、パッシブ方式とアクティブ方式がある。

【0009】パッシブ型EL表示装置は、絶縁基板上に形成されたストライプ状の陽極（透明電極）、有機EL層、陽極と直交するように形成されたストライプ状の陰極を、順に重ねた構造をもつ。このパッシブ型EL表示装置の等価回路を図2に示す。この方式では、走査線を1本ずつ選択し、その選択された走査線上にある画素のうち、信号線がオンになっている画素のみが発光する。

【0010】信号線に入力する信号は、外部から入力されたデータ信号（映像信号）を信号線駆動回路で編集して構成する。ここで、パッシブ型EL表示装置において、この信号線駆動回路は、ICチップを、TAB（Tape Automated Bonding）により張り付けて表示装置に取り付けるか、もしくは画素基板上に直接張り付けることで組み込まれている。ICチップは、シリコンチップなどの半導体基板上に回路が形成されたものである。つまり、ICチップを画素基板上に直接張り付ける場合、半導体基板を画素基板として用いられている絶縁基板上に張り付けることになる。

【0011】一方、アクティブ型EL表示装置は、EL素子、絶縁基板上に形成されたゲート信号線、ソース信号線、電源供給線、トランジスタ及びコンデンサで構成される。1つの画素に対してコンデンサと2つのトランジスタを配する。

【0012】一般に、アクティブ型EL表示装置は、1つの画素に対して2つ以上のトランジスタを配する構造

を有する。

【0013】アクティブ型EL表示装置では、絶縁基板上に半導体薄膜を用いて、トランジスタを作製し画素を形成する。ここで、半導体薄膜を用いて形成されたトランジスタを薄膜トランジスタ（以下、TFTと表記する）と呼ぶ。

【0014】このアクティブ型EL表示装置の画素の回路図を図3に示す。

【0015】スイッチング用TFTのゲート電極は、ゲート信号線と接続され、スイッチング用TFTのソース領域とドレイン領域は、一方は、ソース信号線と接続され、もう一方は、EL駆動用TFTのゲート電極及びコンデンサの一方の電極と接続され、EL駆動用TFTのソース領域とドレイン領域とは、一方は、EL素子の陽極もしくは陰極と接続され、もう一方は、電源供給線と接続され、コンデンサのスイッチング用TFTと接続されていない側の電極は、電源供給線と接続されている。

【0016】ゲート信号線、ソース信号線が両方ともオンになった画素は、スイッチング用TFTを通して、コンデンサに電荷が蓄積される。このコンデンサが、EL駆動用TFTのゲート電極に電圧を加え続ける間、EL駆動用TFTを通して電源供給線からEL素子に電流が流れ続け、発光し続ける。

【0017】ソース信号線に入力する信号は、外部から入力されたデータ信号をソース信号線駆動回路で編集して構成する。アクティブ型EL表示装置において、このソース信号線駆動回路は、絶縁基板上に画素部の回路と同時にTFTを用いて作製可能である。

【0018】アクティブ型EL表示装置の駆動方法として、アナログ方式の駆動方法（アナログ駆動）が挙げられる。このアナログ駆動について、図4及び図5を用いて説明する。

【0019】図4にアナログ駆動のアクティブ型EL表示装置の画素部の構造を示す。ゲート信号線駆動回路からの選択信号を入力するゲート信号線（G1～Gy）は、各画素が有するスイッチング用TFT1801のゲート電極に接続されている。また各画素の有するスイッチング用TFT1801のソース領域とドレイン領域は、一方がアナログ信号を入力するソース信号線（データ信号線ともいう）（S1～Sx）に、もう一方が各画素が有するEL駆動用TFT1804のゲート電極及び各画素が有するコンデンサ1808にそれぞれ接続されている。

【0020】各画素が有するEL駆動用TFT1804のソース領域とドレイン領域はそれぞれ、一方は電源供給線（V1～Vx）に、もう一方はEL素子1806に接続されている。電源供給線（V1～Vx）の電位を電源電位と呼ぶ。また電源供給線（V1～Vx）は、各画素が有するコンデンサ1808に接続されている。

【0021】EL素子1806は陽極と、陰極と、陽極

と陰極との間に設けられたEL層とを有する。EL素子1806の陽極がEL駆動用TFT1804のソース領域またはドレイン領域と接続している場合、EL素子1806の陽極が画素電極、陰極が対向電極となる。逆にEL素子1806の陰極がEL駆動用TFT1804のソース領域またはドレイン領域と接続している場合、EL素子1806の陽極が対向電極、陰極が画素電極となる。

【0022】なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差がEL駆動電圧であり、このEL駆動電圧がEL層にかかる。

【0023】図4で示したアクティブ型EL表示装置を、アナログ方式で駆動させた場合のタイミングチャートを図5に示す。1つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を1ライン期間(L)と呼ぶ。また1つの画像が表示されてから次の画像が表示されるまでの期間が1フレーム期間(F)に相当する。図4のアクティブ型EL表示装置の場合、ゲート信号線はy本あるので、1フレーム期間中にy個のライン期間(L1~Ly)が設けられている。

【0024】解像度が高くなるにつれて1フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならなくなる。

【0025】まず電源供給線(V1~Vx)は一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、EL素子が発光する程度に電源電位との間に電位差を有している。

【0026】第1のライン期間(L1)においてゲート信号線G1にはゲート信号線駆動回路からの選択信号が入力される。そして、ソース信号線(S1~Sx)に順にアナログ信号が入力される。ゲート信号線G1に接続された全てのスイッチング用TFTはオンの状態になるので、ソース信号線に入力されたアナログ信号は、スイッチング用TFTを介してEL駆動用TFTのゲート電極に入力される。

【0027】ここで、TFTがオンの状態となるとは、TFTのゲート電圧により、そのTFTのソース・ドレイン間が導通状態となったことを示すものとする。

【0028】EL駆動用TFTのチャンネル形成領域を流れる電流の量は、そのゲート電極に入力される信号の電位の高さ(電圧)によって制御される。よって、EL素子の画素電極にかかる電位は、EL駆動用TFTのゲート電極に入力されたアナログ信号の電位の高さによって決まる。つまり、EL素子はアナログ信号の電位に制御されて発光を行う。

【0029】上述した動作を繰り返し、ソース信号線

(S1~Sx)へのアナログ信号の入力が終了すると、第1のライン期間(L1)が終了する。なお、ソース信号線(S1~Sx)へのアナログ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間(L2)となりゲート信号線G2に選択信号が入力される。そして第1のライン期間(L1)と同様にソース信号線(S1~Sx)に順にアナログ信号が入力される。

【0030】そして全てのゲート信号線(G1~Gy)に選択信号が入力されると、全てのライン期間(L1~Ly)が終了する。全てのライン期間(L1~Ly)が終了すると、1フレーム期間が終了する。1フレーム期間中において全ての画素が表示を行い、1つの画像が形成される。なお全てのライン期間(L1~Ly)と垂直帰線期間とを合わせて1フレーム期間としても良い。

【0031】以上のように、アナログ信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式では、ソース信号線に入力されるアナログ信号の電位の変化で階調表示が行われる。

【0032】図6(A)はEL駆動用TFTのトランジスタ特性を示すグラフであり、401はId-Vg特性(又はId-Vg曲線)と呼ばれている。ここでIdはドレイン電流であり、Vgはゲート電圧である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0033】通常、EL素子を駆動するにあたって、上記Id-Vg特性の点線402で示した領域を用いる。402で囲んだ領域の拡大図を図6(B)に示す。

【0034】図6(B)において、斜線で示す領域はサブスレッショルド領域と呼ばれている。実際にはしきい値電圧(Vth)近傍又はそれ以下のゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

【0035】スイッチング用TFTがオンとなって画素内に入力されたアナログ信号はEL駆動用TFTのゲート電圧となる。このとき、図6(A)に示したId-Vg特性に従ってゲート電圧に対してドレイン電流が1対1で決まる。即ち、EL駆動用TFTのゲート電極に入力されるアナログ信号の電圧に対応して、ドレイン領域の電位(オンのEL駆動電位)が定まり、所定のドレイン電流がEL素子に流れ、その電流量に対応した発光量で前記EL素子が発光する。

【0036】以上のように、アナログ信号によってEL素子の発光量が制御され、階調表示がなされる。

【0037】

【発明が解決しようとする課題】パッシブ型EL表示装置では、信号線駆動回路を組み込む際、TABを用いる場合は、TABに必要な面積を小さくすることが難しい

ため、表示装置の小型化が困難になるという問題がある。また、ICチップを画素部が作製された基板上に直接接合させると、ICチップの半導体基板と画素部の絶縁基板の接合面は、異種物質が接合した界面となる。そのため、この界面において、物質による熱膨張係数の違いにより、温度変化に対して歪が発生する問題がある。この歪みが駆動回路の構造を乱し、パッシブ型EL表示装置の信頼性を損なう原因の1つとなっている。

【0038】一方、アクティブ型EL表示装置ではソース信号線駆動回路は、絶縁基板上に画素部の回路と同時に作製可能である。そのため、パッシブ型EL表示装置で問題となる、ソース信号線駆動回路を組み込む際の問題はない。しかし、画素部の構成を考えると、画素毎に2つのトランジスタが配置されている。そのため、画素が小さくなるほど、画素の中でトランジスタの占める割合が増大し、開口率の低下を招くという問題がある。

【0039】本発明は、パッシブ型EL表示装置において、ICチップ状の信号線駆動回路を表示装置に組み込む場合問題となる、ICチップと画素基板界面の歪の問題を解決すること、及びアクティブ型EL表示装置において、開口率の高いものを作製することを課題とする。

【0040】

【課題を解決するための手段】今まで、パッシブ型EL表示装置において、半導体基板上に形成された信号線駆動回路を画素部基板に張り合わせていたことが、信頼性を損なう原因の1つとなっていた。そこで、信号線駆動回路を、画素部基板と同じ物質の絶縁基板上に作製する。これにより、信号線駆動回路を画素部基板に張り合わせたとき、その界面は、同種物質の接合界面となるため熱膨張係数は等しくなり、歪の問題を解消できる。

【0041】また、今まで、アクティブ型EL表示装置において、2つのトランジスタを使用していたことが開口率を低下させる原因の1つとなっていた。そこで、1つの画素は、1つのトランジスタとEL素子で構成されるようにする。これにより、EL表示装置の開口率は増大する。

【0042】以下に、本発明の構成を示す。

【0043】本発明によって、複数の信号線と、信号線駆動回路とを有する表示装置において、前記信号線駆動回路は、入力されたデジタル信号を1ライン期間にわたってサンプリングするデジタル信号サンプリング回路と、サンプリングされた1ライン期間分の前記デジタル信号を記憶する記憶回路と、記憶された前記デジタル信号を対応する期間のパルスに変換する時間設定回路と、前記パルスの期間において、前記信号線に一定電流を出力する定電流回路とにより構成されることを特徴にした表示装置が提供される。

【0044】本発明によって、複数のソース信号線と、ソース信号線駆動回路とを有するアクティブ型の表示装置において、前記ソース信号線駆動回路は、入力された

デジタル信号を1ライン期間にわたってサンプリングするデジタル信号サンプリング回路と、サンプリングされた1ライン期間分の前記デジタル信号を記憶する記憶回路と、記憶された前記デジタル信号を対応する期間のパルスに変換する時間設定回路と、前記パルスの期間において、前記ソース信号線に一定電流を出力する定電流回路とにより構成されることを特徴にした表示装置が提供される。

【0045】前記信号線駆動回路は、TFTを用いて構成されることを特徴にした表示装置であってもよい。

【0046】前記ソース信号線駆動回路は、TFTを用いて構成されることを特徴にした表示装置であってもよい。

【0047】本発明によって、複数のソース信号線と、複数のゲート信号線と、複数の画素と、前記複数のソース信号線に信号を入力するためのソース信号線駆動回路と、前記複数のゲート信号線に信号を入力するためのゲート信号線駆動回路とを有する表示装置において、前記複数の画素はそれぞれ、EL素子と、1つのスイッチング用TFTを有しており、前記スイッチング用TFTのゲート電極が、前記複数のゲート信号線の1つと接続されており、前記スイッチング用TFTのソース領域とドレイン領域のいずれか一方が、前記複数のソース信号線の1つと接続されており、前記スイッチング用TFTのソース領域とドレイン領域の残る1方が、前記EL素子が有する陰極または陽極に接続されていることを特徴にした表示装置が提供される。

【0048】前記ソース信号線駆動回路は、入力されたデジタル信号を1ライン期間にわたってサンプリングするデジタル信号サンプリング回路と、サンプリングされた1ライン期間分の前記デジタル信号を記憶する記憶回路と、記憶された前記デジタル信号を対応する期間のパルスに変換する時間設定回路と、前記パルスの期間において、前記ソース信号線に一定電流を出力する定電流回路とにより構成されることを特徴にした表示装置であってもよい。

【0049】前記EL素子は、単色発光するEL層を用い、色変換層と組み合わせて、カラー表示を可能にすることを特徴とする表示装置であってもよい。

【0050】前記EL素子は、白色発光するEL層を用い、カラーフィルタと組み合わせて、カラー表示を可能にすることを特徴とする表示装置であってもよい。

【0051】前記EL層は、低分子系有機物質またはポリマー系有機物質であることを特徴とする表示装置であってもよい。

【0052】前記低分子系有機物質は、Alq<sub>3</sub>（トリス-8-キノリライト-アルミニウム）またはTPD（トリフェニルアミン誘導体）からなることを特徴とする表示装置であってもよい。

【0053】前記ポリマー系有機物質は、PPV（ポリ

フェニレンビニレン)、PVK(ポリビニルカルbazol)またはポリカーボネートからなることを特徴とする表示装置であつてもよい。

【0054】前記EL層は、無機物質であることを特徴とする表示装置であつてもよい。

【0055】前記表示装置を用いることを特徴とするコンピュータ、ビデオカメラ、DVDプレーヤーであつてもよい。

【0056】

【発明実施の形態】以下に、本発明のEL表示装置のソース信号線駆動回路の構造及び駆動方法を示す。図1に、本発明のEL表示装置のソース信号線駆動回路の構成を示す。

【0057】ソース信号線駆動回路100は、デジタル信号サンプリング回路101、記憶回路102、時間設定回路103、定電流回路104により構成される。

【0058】デジタル信号サンプリング回路101に、デジタル信号(デジタル階調信号)が入力される。このデジタル階調信号を、1ライン期間にわたってサンプリングし、1ライン期間分のデジタル階調信号を記憶回路102に保持する。この記憶回路102に保持されたデジタル階調信号は、ラッチ信号により記憶回路102から出力され、時間設定回路103に入力される。時間設定回路103に入力されたデジタル階調信号は、カウンタ信号との比較により、そのデジタル階調信号に対応する長さのパルスに変換される。このパルスが定電流回路104に入力される。この入力されたパルスの長さに応じた期間、ソース信号線に電流が出力される。

【0059】本発明のEL表示装置のソース信号線駆動回路は、絶縁基板上にTFTを用いて作製可能である。これにより、絶縁基板上に作製された電流出力型のソース信号線駆動回路を得ることができる。

【0060】このソース信号線駆動回路を、図2の信号線駆動回路に適用することによって、パッシブ型EL表示装置において、基板の歪による不都合を解決できる。

【0061】次に、本発明のアクティブ型EL表示装置の画素の構成を示す。図12に本発明のアクティブ型EL表示装置の画素の構成を示す。画素は、スイッチング用TFT1101、EL素子1102によって構成されている。ゲート信号線G1と、ソース信号線S1が配置されている。ゲート信号線G1は、スイッチング用TFT1101のゲート電極に接続されている。また、スイッチング用TFT1101のソース領域及びドレイン領域のどちらか一方が、ソース信号線S1に接続され、スイッチング用TFT1101のソース領域及びドレイン領域の残る一方がEL素子1102に接続されている。

【0062】この画素において、ゲート信号線G1に信号が入力されたとき、スイッチングTFT1101がオンになり、このときソース信号線S1にソース線駆動回路から電流が入力されると、スイッチングTFT110

1を介して、EL素子1102に階調信号に応じた期間電流が流れて、発光する。この様に、ソース信号線に入力される電流によってEL素子1102の発光を制御し階調表示を行う。

【0063】本発明のアクティブ型EL表示装置において、画素は、1つのTFTとEL素子で構成される。これにより、アクティブ型EL表示装置の開口率を増大させることができる。

【0064】

【実施例】以下に、本発明の実施例について説明する。

【0065】(実施例1)図7に本発明のEL表示装置のソース信号線駆動回路の構成及び駆動方法を示す。

【0066】本実施例では、x本のソース信号線への信号を出力するソース信号線駆動回路について説明する。

【0067】デジタル信号サンプリング回路201及び記憶回路202は、シフトレジスタ203、ラッチ回路1(204a)、ラッチ回路2(204b)によって構成される。

【0068】デジタル階調信号VDは、デジタル信号サンプリング回路201に入力される。ここで本実施例では、4ビットのデジタル階調信号に対応するソース信号線駆動回路を例に挙げているが、本発明はこれに限定されるものではなく、6ビット、8ビット、或いはそれ以外のデジタル階調信号に対しても適用される。

【0069】デジタル信号サンプリング回路201によってサンプリングされたデジタル階調信号VDは、ラッチ回路1(LAT1, 1~LAT1, x)に順次入力される。ラッチ回路2(LAT2, 1~LAT2, x)は、ラッチパルス線205に入力されるラッチパルスに基づき、ラッチ回路1群LAT1, 1~LAT1, xから一斉に送出されたデータを記憶する。信号線206は、ラッチ回路2群LAT2, 1~LAT2, xからの信号を下段に供給する。

【0070】本実施例では、4ビットのデジタル階調信号を扱うので、信号線206は各ラッチ回路2群LAT2, 1~LAT2, xから4本ずつ出ていることになる。

【0071】一般に、nビットのデジタル映像信号を扱う場合、信号線206は、各ラッチ回路2群LAT2, 1~LAT2, xからn本ずつ出ていることになる。

【0072】なお、信号線206には、順に符号が付けられているが図7では省略している。

【0073】ここで、デジタル階調信号VDが入力されてから、信号がラッチ回路2群LAT2, 1~LAT2, xから出力されるまでの動作を1番目のソース信号線S1への出力に対応する回路LAT1, 1及びLAT2, 1に注目し、詳しく説明する。

【0074】図8は、図7において1番目のソース信号線S1へ出力に対するデジタル信号サンプリング回路及びLAT1, 1、LAT2, 1を示したものである。信



号線 206 には、L1, 1~L1, 4 の符号が付けられているのがわかる。信号線 206 を示す符号 La, b においては、a は LAT 回路 2 の番号、b は 1~4 に従って上位ビット~下位ビットを示すものとする。

【0075】シフトレジスタ 203 で構成されるサンプリング回路 201 によりサンプリングされたデジタル階調信号 VD は、LAT1, 1 に記憶され、ラッチパルス線 205 からのラッチパルスに基づき、LAT2, 1 に保持される。この保持された信号は、信号線 L1, 1~L1, 4 を通して下段へ送られる。

【0076】同様に、全ての信号線 206 に L1, 1~Lx, 4 の符号が付けられている。この信号線 L1, 1~Lx, 4 から同時に信号が下段へ送出される。これを全てのゲート信号線に対して繰り返し 1 フレームが終了する。

【0077】再び図 7 を参照して、ラッチ回路 2 群 LAT2, 1~LAT2, x から出力されたデータは、時間設定回路 207 (T1~Tx) に入力される。この時間設定回路 207 (T1~Tx) に入力された信号は、同じく時間設定回路 207 (T1~Tx) に入力されるカウンタ信号 209 と比較される。この 2 つの信号が一致したときのみ、定電流回路 208 (I1~Ix) に信号が送られる。

【0078】ここで、ラッチ回路 2 群から出力されたデータが時間設定回路から出力されるまでの動作を、1 番目のソース信号線 S1 への出力に対応する時間設定回路 T1 に注目し詳しく説明する。

【0079】図 9 は、図 7 において 1 番目のソース信号線 S1 への出力に対応する時間設定回路 T1 を示したものである。T1 は、カウンタ信号線 209\_\_1~209\_\_4、ex. or 回路 (ex. or1~ex. or4)、nor 回路 (nor1~nor3)、初期入力線 210 によって構成される。

【0080】なお、本実施例では、4 ビットのデジタル階調信号を扱うので、カウンタ信号線は 209\_\_1~209\_\_4 の 4 本である。このカウンタ信号線を示す符号 209\_\_a において、a は 1~4 に従って上位ビット~下位ビットを示すものとする。

【0081】一般に、n ビットのデジタル映像信号を扱う場合、カウンタ信号線は、n 本となる。

【0082】ここで、209\_\_1 に出力されるパルスが m の周期であるとする、209\_\_2 に出力されるパルスは m/2 の周期であり、209\_\_3 に出力されるパルスは m/4 の周期であり、209\_\_4 に出力されるパルスは m/8 の周期であるとする。

【0083】LAT2, 1 より信号線 L1, 1~L1, 4 に出力された信号は、T1 に入力される。ここで、これらの信号が、カウンタ信号線 209\_\_1~209\_\_4 の信号とそれぞれ一致した場合、つまり、ex. or1~ex. or4 にそれぞれ同じ信号が入力された場

合、nor1 から信号が出力され、nor2 及び nor3 によって構成される、ラッチ回路 (LAT3, 1) に入力される。

【0084】ここで、1 つのライン期間のはじめに初期入力線 210 により、ラッチ回路 (LAT3, 1) に信号が入力される。この信号により、ラッチ回路 (LAT3, 1) から TP1 に信号が出力される。なお、この信号は、次に信号がラッチ回路 (LAT3, 1) に入力されるまで出力され続ける。

10 【0085】この後、前記したように、LAT2, 1 から出力された信号により nor1 からラッチ回路 (LAT3, 1) に信号が入力されると、TP1 へ信号が出力されなくなる。

【0086】なお、TP1 とは、時間設定回路 T1 の出力信号が入力される信号線に相当する。

【0087】ここで、時間設定回路 T1 の動作を、図 10 のタイミングチャートを用いて説明する。

20 【0088】ライン期間 L1 において、時間設定回路 T1 に LAT2, 1 から信号線 L1, 1~L1, 4 を通して、1, 0, 0, 1 の信号が入力された場合 (0 の信号は、信号が入力されない場合に対応する) の例について説明する。

【0089】ライン期間 L1 のはじめの期間 t0 に、ラッチ回路 (LAT3, 1) に初期入力線 210 から、初期信号が入力される。その後、209\_\_1 の信号が L1, 1 の信号と一致しかつ、209\_\_2 の信号が L1, 2 の信号と一致しかつ、209\_\_3 の信号が L1, 3 の信号と一致しかつ、209\_\_4 の信号が L1, 4 の信号と一致した場合、再びラッチ回路 (LAT3, 1) に信号が入力される。L1 ライン期間のはじめにラッチ回路 (LAT3, 1) に信号が入力されてから、再びラッチ回路 (LAT3, 1) に信号が入力されるまでの期間を t1001 とする。この期間 t1001 の間、TP1 に信号が出力される。

【0090】次に、ライン期間 L2 において、時間設定回路 T1 に LAT2, 1 から信号線 L1, 1~L1, 4 を通して、0, 1, 0, 1 の信号が入力された場合 (0 の信号は、信号が入力されない場合に対応する) の例について説明する。

40 【0091】ライン期間 L1 の場合と同様に、はじめの期間 t0 に、ラッチ回路 (LAT3, 1) に初期入力線 210 から、初期信号が入力される。その後、209\_\_1 の信号が L1, 1 の信号と一致しかつ、209\_\_2 の信号が L1, 2 の信号と一致しかつ、209\_\_3 の信号が L1, 3 の信号と一致しかつ、209\_\_4 の信号が L1, 4 の信号と一致した場合、再びラッチ回路 (LAT3, 1) に信号が入力される。L2 ライン期間のはじめにラッチ回路 (LAT3, 1) に信号が入力されてから、再びラッチ回路 (LAT3, 1) に信号が入力されるまでの期間を t0101 とする。この期間 t0101

の間、TP1にパルス信号が出力される。

【0092】このタイミングチャートのライン期間L1とライン期間L2を比較する。ライン期間L1における出力期間t1001と、ライン期間L2における出力期間t0101の比は、の9:5となっている。ここで、ライン期間L1とライン期間L2に入力された4ビットの信号、1001と0101の表現する値の比は、9:5である。つまり、時間設定回路T1は、入力されたデジタル階調信号の値に対応したパルス信号を出力する。

【0093】入力されるデジタル階調信号が小さい場合、その信号が入力されたライン期間の、時間設定回路からの出力パルス信号は、短くなる。

【0094】再び図7を参照して、前記の動作が、1ライン期間において、全ての時間設定回路T1~Txについて同時に行われ、入力された信号に対応する期間のパルス信号を出力する。

【0095】これが、全てのライン期間において繰り返される。

【0096】時間設定回路から出力された信号が、定電流回路208(I1~Ix)に入力される。信号が入力されている期間のみ、定電流源よりソース信号線(S1~Sx)に電流が流れる。

【0097】時間設定回路から出力されたパルス信号が、定電流回路208(I1~Ix)を通して、ソース信号線に入力されるまでの動作を1番目のソース信号線S1への出力に対応する定電流回路I1に注目し、詳しく説明する。図11は、図7において、1番目のソース信号線S1への出力に対応する定電流回路I1を示したものである。

【0098】時間設定回路T1から出力された信号が、TP1から入力されている間は、スイッチSW1がオン、スイッチSW2がオフになり、定電流源から一定電流iがソース信号線S1に入力される。その後、信号がTP1から入力されなくなると、スイッチSW1がオフ、スイッチSW2がオンになり、ソース信号線S1に電流が流れなくなる。

【0099】再び図7を参照して、前記の動作が、1ライン期間において、全ての定電流回路I1~Ixについて同時に行われ、パルス信号が入力されている間だけ、一定電流iを出力する。

【0100】これが、全てのライン期間において繰り返される。

【0101】この様にして1ライン期間に、各画素において入力されたデジタル階調信号に応じた期間だけ、電流がソース信号線に入力される。

【0102】上記構成によって、入力されたデジタル階調信号に応じた期間、ソース信号線に一定電流を出力するソース信号線駆動回路が得られる。

【0103】(実施例2)図13に、本発明のアクティブ型EL表示装置の画素部の構成を示す。

【0104】ゲート信号線駆動回路からの選択信号を入力するゲート信号線(G1~Gy)は、各画素が有するスイッチング用TF Tのゲート電極に接続されている。また各画素の有するスイッチング用TF Tのソース領域とドレイン領域は、一方が電流を入力するソース信号線(S1~Sx)に、もう一方が各画素が有するEL素子に接続されている。

【0105】なお本発明において、スイッチング用TF Tはnチャネル型TF Tでもpチャネル型TF Tでもどちらでも用いることが可能である。

【0106】本実施例のアクティブ型EL表示装置の駆動方法について説明する。ゲート信号線G1が選択されると、そこに接続された全てのスイッチング用TF Tは、ゲート電極に電圧が印加されオンの状態になる。このとき、ソース信号線(S1~Sx)より同時に、電流がスイッチング用TF Tを介してEL素子に流れる。EL素子はこの電流量に応じて発光する。

【0107】同様の操作を、全てのゲート信号線(G1~Gy)に対して行くと、1画像が表示される。

【0108】(実施例3)本実施例では、実施例1のソース信号線駆動回路を、実施例2のアクティブ型EL表示装置に用いた場合について説明する。

【0109】つまり、実施例1で示した、入力されたデジタル階調信号に応じた期間、ソース信号線に一定電流を出力するソース信号線駆動回路を、実施例2で示した、1画素が1つのTF Tと1つのEL素子とで構成されるアクティブ型EL表示装置に用いた場合について説明する。

【0110】実施例2のアクティブ型EL表示装置のソース信号線に入力される電流を、実施例1で示した、ソース信号線駆動回路によって発生させる。

【0111】前記したように、本発明のソース信号線駆動回路から出力される電流は、外部より入力されたデジタル階調信号に対応した期間をもつ、電流パルスである。ゲート信号線が選択され、この電流パルスがソース信号線に入力され、スイッチング用TF Tを介してEL素子に流れる間のみ画素は、発光する。

【0112】この発光期間により、実施例2で示した、アクティブ型EL表示装置の画素のEL素子の発光量が制御され、階調が表現される。

【0113】本明細書中では、このように、EL素子の発光量を、その発光期間を制御することによって制御し、階調を表現する手法を、時間階調方式と呼ぶ。

【0114】(実施例4)本実施例では、実施例1のソース信号線駆動回路をパッシブ型EL表示装置に用いた場合について説明する。

【0115】図2において信号線駆動回路に、実施例1のソース信号線駆動回路を適用することによって、課題の実現が可能である。

【0116】パッシブ型EL表示装置の信号線に入力さ

れる電流を、実施例 1 で示した、ソース信号線駆動回路によって発生させる。

【0117】 前述したように、本発明のソース信号線駆動回路から出力される電流は、外部より入力されたデジタル階調信号に対応した期間をもつ、電流パルスである。

【0118】 走査線が選択され、この電流パルスが信号線に入力され、EL素子に流れる間のみ画素は、発光する。

【0119】 この発光期間により、パッシブ型EL表示装置の画素のEL素子の発光量が制御され、階調が表現される。このような時間階調方式により駆動する。

【0120】 本実施例のパッシブ型EL表示装置の上面図及び断面図を図23に示す。

【0121】 図23(A)は、上面図である。図23(A)においてA-A'の断面図を図23(B)に示す。

【0122】 図23(A)において、パッシブ型EL表示装置は、絶縁基板880とFPCと、走査線駆動回路と、信号線駆動回路881と、画素部とを有する。

【0123】 図23(B)において、信号線駆動回路881は、TFT基板上に形成されたTFTによって構成されている。

【0124】 信号線駆動回路881は、TFTによって形成され、絶縁基板880上に貼り合わせられている。

【0125】 なお、図23(B)に示すように、信号線駆動回路881が、絶縁基板上880上にバンプを介して貼り合わせられている。

【0126】 (実施例5) 本実施例では、本発明のアクティブ型EL表示装置を作製した例について説明する。

【0127】 図17(A)は本発明を用いたアクティブ型EL表示装置の上面図である。図17(A)において、4010は基板、4011は画素部、4012はソース信号線駆動回路、4013はゲート信号線駆動回路であり、それぞれの駆動回路は配線4014、4016を経てFPC4017に至り、外部機器へと接続される。

【0128】 このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材(ハウジング材ともいう)7000、密封材(第2のシーリング材)7001が設けられている。

【0129】 また、図17(B)は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023が形成されている。これらのTFTは公知の構造(トップゲート構造またはボトムゲート構造)を用いれば良い。

【0130】 駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電氣的に接続する透明導電膜でなる画素電極4027を形成する。

【0131】 透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0132】 次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせ、積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0133】 本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0134】 EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0135】 なお、本実施例では陰極4030として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0136】 4031に示された領域において陰極40

30と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0137】このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0138】さらに、EL素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材7000が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0139】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0140】また、充填材6004の中にスペーサを含ませてもよい。このとき、スペーサをBaOなどからなる粒状物質とし、スペーサ自体に吸湿性をもたせてもよい。

【0141】スペーサを設けた場合、パッシベーション膜6003はスペーサ圧を緩和することができる。また、パッシベーション膜とは別に、スペーサ圧を緩和する樹脂膜などを設けてもよい。

【0142】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu$ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0143】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0144】また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通過してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線401

4、4016も同様にしてシーリング材7000および密封材7001と基板4010との隙間を通過してFPC4017に電氣的に接続される。

【0145】なお本実施例では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露出面）を覆うようにシーリング材7000を取り付けているが、カバー材6000及びシーリング材7000を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びシーリング材7000で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ $10^{-2}$  Torr以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0146】（実施例6）本実施例では、本発明を用いて実施例5とは異なる形態のアクティブ型EL表示装置を作製した例について、図18（A）、18（B）を用いて説明する。図17（A）、17（B）と同じ番号のものは同じ部分を指しているため説明は省略する。

【0147】図18（A）は本実施例のEL表示装置の上面図であり、図18（A）をA-A'で切断した断面図を図18（B）に示す。

【0148】実施例5に従って、EL素子の表面を覆ってパッシベーション膜6003までを形成する。

【0149】さらに、EL素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0150】また、充填材6004の中にスペーサを含ませてもよい。このとき、スペーサをBaOなどからなる粒状物質とし、スペーサ自体に吸湿性をもたせてもよい。

【0151】スペーサを設けた場合、パッシベーション膜6003はスペーサ圧を緩和することができる。また、パッシベーション膜とは別に、スペーサ圧を緩和する樹脂膜などを設けてもよい。

【0152】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu$ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0153】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0154】次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面（露呈面）を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材（接着剤として機能する）6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0155】また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014も同様にしてシーリング材6002と基板4010との隙間を通してFPC4017に電氣的に接続される。

【0156】なお本実施例では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露呈面）を覆うようにフレーム材6001を取り付けているが、カバー材6000及びフレーム材6001を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びフレーム材6001で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ $10^{-2}$  Torr以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0157】（実施例7）ここでEL表示装置における画素部のさらに詳細な断面構造を図19に示す。図19において、基板3501上に設けられたスイッチング用TFT3502は公知の方法を用いて形成されたnチャネル型TFTを用いる。本実施例では、2つのゲート電極39aと39bを有する、ダブルゲート構造としている。ここで2つのゲート電極39aと39bとは、電氣的に接続されている。ダブルゲート構造とすることで実質的に二つのTFTが直列接続された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法を用いて形成されたpチャネル型TFTを用いても構わない。

【0158】スイッチング用TFT3502の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要

である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0159】また、43は反射性の高い導電膜でなる画素電極（この場合EL素子の陰極）であり、スイッチング用TFT3502のドレイン領域に電氣的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0160】また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては $\pi$ 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0161】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0162】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm（好ましくは40~100nm）とすれば良い。

【0163】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0164】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0165】本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる

陽極 47 が設けられる。本実施例の場合、発光層 45 で生成された光は上面側に向かって (TFT の上方に向かって) 放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0166】陽極 47 まで形成された時点で EL 素子 3505 が完成する。なお、ここでいう EL 素子 3505 は、画素電極 (陰極) 43、発光層 45、正孔注入層 46 及び陽極 47 で形成されたコンデンサを指す。画素電極 43 は画素の面積にほぼ一致させているため、画素全体が EL 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0167】また本実施例では、陽極 47 の上にさらに第 2 パッシベーション膜 48 を設けている。第 2 パッシベーション膜 48 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と EL 素子とを遮断することであり、有機 EL 材料の酸化による劣化を防ぐ意味と、有機 EL 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより EL 表示装置の信頼性が高められる。

【0168】以上のように本発明の EL 表示装置は図 19 のような構造の画素部を有し、オフ電流値の十分に低いスイッチング用 TFT を有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な EL 表示装置が得られる。

【0169】(実施例 8) 本実施例では、実施例 7 に示した画素部において、EL 素子 3505 の構造を反転させた構造について説明する。説明には図 20 を用いる。なお、図 19 の構造と異なる点は EL 素子の部分とスイッチング用 TFT だけであるので、その他の説明は省略することとする。

【0170】図 20 において、スイッチング用 TFT 3502 は公知の方法を用いて形成された p チャネル型 TFT を用いる。

【0171】本実施例では、画素電極 (陽極) 50 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0172】そして、絶縁膜でなるバンク 51a、51b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 52 が形成される。その上にはカリウムアセチルアセトネート (acacK と表記される) でなる電子注入層 53、アルミニウム合金でなる陰極 54 が形成される。この場合、陰極 54 がパッシベーション膜としても機能する。こうして EL 素子 3701 が形成される。

【0173】本実施例の場合、発光層 52 で発生した光は、矢印で示されるように TFT が形成された基板の方に向かって放射される。

【0174】(実施例 9) 本実施例では、本発明のアクティブ型 EL 表示装置の画素部とその周辺に設けられる駆動回路部 (ソース信号線側駆動回路、ゲート信号線側駆動回路) の TFT を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である CMOS 回路を図示することとする。

【0175】まず、図 14 (A) に示すように、コーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5001 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5002 を形成する。例えば、プラズマ CVD 法で  $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$  から作製される酸化窒化シリコン膜 5002a を  $10 \sim 200 \text{ [nm]}$  (好ましくは  $50 \sim 100 \text{ [nm]}$ ) 形成し、同様に  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$  から作製される酸化窒化水素化シリコン膜 5002b を  $50 \sim 200 \text{ [nm]}$  (好ましくは  $100 \sim 150 \text{ [nm]}$ ) の厚さに積層形成する。本実施例では下地膜 5002 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【0176】島状半導体層 5003 $\sim$ 5005 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5003 $\sim$ 5005 の厚さは  $2.5 \sim 80 \text{ [nm]}$  (好ましくは  $30 \sim 60 \text{ [nm]}$ ) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ( $\text{SiGe}$ ) 合金などで形成すると良い。

【0177】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、YVO<sub>4</sub> レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数  $30 \text{ [Hz]}$  とし、レーザーエネルギー密度を  $100 \sim 400 \text{ [mJ/cm}^2\text{]}$  (代表的には  $200 \sim 300 \text{ [mJ/cm}^2\text{]})$  とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数  $1 \sim 10 \text{ [kHz]}$  とし、レーザーエネルギー密度を  $300 \sim 600 \text{ [mJ/cm}^2\text{]}$  (代表的には  $350 \sim 500 \text{ [mJ/cm}^2\text{]})$  とすると良い。そして幅  $100 \sim 1000 \text{ [}\mu\text{m]}$ 、例えば  $400 \text{ [}\mu\text{m]}$  で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を  $80 \sim 98 \text{ [%]}$  として行



う。

【0178】次いで、島状半導体層5003~5005を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのよう  
10 な酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO<sub>2</sub>とを混合し、反応圧力40[Pa]、基板温度300~400[°C]とし、高周波(13.56[MHz])、電力密度0.5~0.8[W/cm<sup>2</sup>]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0179】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100[nm]の厚さに形成し、  
20 第2の導電膜5009をWで100~300[nm]の厚さに形成する。

【0180】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくα相のTa膜を容易に得ることが出来る。

【0181】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μΩcm]を実現することが出来る。

【0182】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu  
50

などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0183】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0184】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5014(第1の導電層5011a~5014aと第2の導電層5011b~5014b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5014で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。(図14(B))

【0185】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーピング量を1×10<sup>13</sup>~5×10<sup>14</sup>[atoms/cm<sup>2</sup>]とし、加速電圧を60~100[keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5014がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域50

17～5023が形成される。第1の不純物領域5017～5023には $1 \times 10^{20} \sim 1 \times 10^{21}$  [atoms/cm<sup>3</sup>]の濃度範囲でN型を付与する不純物元素を添加する。

(図14(B))

【0186】次に、図14(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026～5029

(第1の導電層5026a～5029aと第2の導電層5026b～5029b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026～5029で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0187】W膜やTa膜のCF<sub>4</sub>とCl<sub>2</sub>の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF<sub>6</sub>が極端に高く、その他のWC15、TaF5、TaCl5は同程度である。従って、CF<sub>4</sub>とCl<sub>2</sub>の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO<sub>2</sub>を添加するとCF<sub>4</sub>とO<sub>2</sub>が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O<sub>2</sub>を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0188】そして、図15(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げた高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 $1 \times 10^{13}$  [atoms/cm<sup>2</sup>]のドーピング量で行い、図14(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5029を不純物元素に対するマスクとして用い、第1の導電層5026a～5029aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5035が形成される。この第3の不純物領域5032～5035に添加されたリン(P)の濃度は、第1の導電層5026a～5029aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a～5029aのテーパ部と重なる半導体層において、第1の導

電層5026a～5029aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0189】図15(B)に示すように第3のエッチング処理を行う。エッチングガスにCHF<sub>3</sub>を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a～5029aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037～5040(第1の導電層5037a～5040aと第2の導電層5037b～5040b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037～5040で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0190】第3のエッチング処理によって、第3の不純物領域5032～5035においては、第1の導電層5037a～5040aと重なる第3の不純物領域5032a～5035aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b～5035bとが形成される。

【0191】そして、図15(C)に示すように、Pチャネル型TFTを形成する島状半導体層5004に第1の導電型とは逆の導電型の第4の不純物領域5043～5048を形成する。第3の形状の導電層5038bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005はレジストマスク5200で全面を被覆しておく。不純物領域5043～5048にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$  [atoms/cm<sup>3</sup>]となるようにする。

【0192】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5040がゲート電極として機能する。

【0193】レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[°C]、代表的には500～600[°C]で行うものであり、本実施例では500[°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5040に用いた配線材料が熱に弱い場合には、配線等を保護するため



層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0194】さらに、3～100[%]の水素を含む雰囲気中で、300～450[℃]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0195】次いで、図16(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に、各画素に対して、カラーフィルタ(R)またはカラーフィルタ

(G)またはカラーフィルタ(B)をパターンニングする。図16中において、カラーフィルタを5064で示す。ここで、カラーフィルタ(R)とは、白色光から赤色の光を抽出するフィルターであり、カラーフィルタ

(G)とは、白色光から緑色の光を抽出するフィルターであり、カラーフィルタ(B)とは、白色光から青色の光を抽出するフィルターである。さらにその上に、有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線5057～5061をパターンニング形成した後、配線5061に接する画素電極5063をパターンニング形成する。

【0196】第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm]（さらに好ましくは2～4[μm]）とすれば良い。

【0197】コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017、5018、5021、5023またはP型の不純物領域5043～5048に達するコンタクトホール、およびゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

【0198】また、配線5057～5061として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものをを用いる。勿論、他の導電膜を用いても良い。

【0199】また、本実施例では、画素電極5063としてITO膜を110[nm]の厚さに形成し、パターンニングを行った。画素電極5063を接続配線5061と接して重なるように配置することでコンタクトを取って

る。また、酸化インジウムに2～20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5063がEL素子の陽極となる。（図16(A)）

【0200】次に、図16(B)に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0201】次に、EL層5066および陰極(MgAg電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5066の膜厚は80～200[nm]（典型的には100～120[nm]）、陰極5067の厚さは180～300[nm]（典型的には200～250[nm]）とすれば良い。本実施例では、カラーフィルタを用いるため、EL層は、白色発光するもののみを使用すればよいため、画素ごとに塗り分ける必要はない。

【0202】なお、EL層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

【0203】次に、陰極5067を形成する。本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0204】最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、EL層5066を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

【0205】こうして図16(B)に示すような構造のEL表示装置が完成する。なお、本実施例におけるEL表示装置の作製工程においては、回路の構成および工程の関係上、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0206】ところで、本実施例のEL表示装置は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0207】まず、極力動作速度を落とさないようにホ

ットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のNチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフト、線順次駆動におけるラッチなどが含まれる。

【0208】本実施例の場合、Nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域（ $L_{ov}$  領域）、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域（ $L_{off}$  領域）およびチャネル形成領域を含む。

【0209】また、CMOS回路のPチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0210】なお、実際には図16（B）の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

【0211】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。

【0212】また、本実施例で示す工程に従えば、表示装置の作製に必要なフォトリソマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0213】（実施例10）実施例1で示した、ソース信号線駆動回路を実施例9のプロセスにより、TFTを用いて絶縁基板上に作製することができる。これにより、アクティブ型EL表示装置だけではなく、パッシブ型EL表示装置においても、その信号線駆動回路を、このソース信号線駆動回路を用いて作製することができる。

【0214】（実施例11）本発明のEL表示装置において、EL素子が有するEL層に用いられる材料は、有機EL材料に限定されず、無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFTを用いなければならない。

【0215】または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0216】また、本実施例の構成は、実施例1～9の

いずれの構成とも自由に組み合わせることが可能である。

【0217】（実施例12）本発明において、EL層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。低分子系有機物質はAlq<sub>3</sub>（トリス-8-キノリライト-アルミニウム）、TPD（トリフェニルアミン誘導体）等を中心とした材料が知られている。ポリマー系有機物質として、 $\pi$ 共役ポリマー系の物質が挙げられる。代表的には、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）、ポリカーボネート等が挙げられる。

【0218】ポリマー系（高分子系）有機物質は、スピンコーティング法（溶液塗布法ともいう）、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0219】また本発明のEL表示装置が有するEL素子において、そのEL素子が有するEL層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機材料、例えば非晶質のSiまたは非晶質のSi<sub>1-x</sub>C<sub>x</sub>等の非晶質半導体で構成しても良い。

【0220】非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、EL素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0221】また有機EL層にドーパント（不純物）を添加し、有機EL層の発光の色を変化させても良い。ドーパントとして、DCM1、ナイルレッド、ルブレン、クマリシ6、TPB、キナクリドン等が挙げられる。

【0222】（実施例13）本実施例では、本発明のEL表示装置について図21（A）、（B）を用いて説明する。図21（A）は、EL素子の形成されたTFT基板において、EL素子の封入まで行った状態を示す上面図である。点線で示された6801はソース信号線駆動回路、6802はゲート信号線駆動回路、6803は画素部である。また、6804はカバー材、6805は第1シール材、6806は第2シール材であり、第1シール材6805で囲まれた内側のカバー材とTFT基板との間には充填材6807（図21（B）参照）が設けられる。

【0223】なお、6808はソース信号線駆動回路6801、ゲート信号線駆動回路6802、及び画素部6803に入力される信号を伝達するための接続配線であり、外部機器との接続端子となるFPC（フレキシブルプリントサーキット）6809からビデオ信号やクロック信号を受け取る。

【0224】ここで、図21（A）をA-A'で切断した断面に相当する断面図を図21（B）に示す。なお、

図 21 (A)、(B) では同一の部位に同一の符号を用いている。

【0225】図 21 (B) に示すように、基板 6800 上には画素部 6803、ソース信号側駆動回路 6801 が形成されており、画素部 6803 は EL 素子に流れる電流を制御するための TFT (以下、スイッチング用 TFT という) 6851 とそのドレインに電氣的に接続された画素電極 6852 を含む複数の画素により形成される。本実施例ではスイッチング用 TFT 6851 を p チャネル型 TFT とする。また、ソース信号側駆動回路 6801 は n チャネル型 TFT 6853 と p チャネル型 TFT 6854 とを相補的に組み合わせた CMOS 回路を用いて形成される。

【0226】各画素は画素電極の下にカラーフィルタ (R) 6855、カラーフィルタ (G) 6856 及びカラーフィルタ (B) (図示せず) を有している。ここでカラーフィルタ (R) とは、白色光から赤色光を抽出するカラーフィルタであり、カラーフィルタ (G) は、白色光から緑色光を抽出するカラーフィルタ、カラーフィルタ (B) は、白色光から青色光を抽出するカラーフィルタである。

【0227】このカラーフィルタは、フォトリソグラフィ工程によって作製するため、約  $3\mu\text{m}$  の精度で作製可能である。このカラーフィルタを用いた場合、発光層は白色発光するもののみで良い。つまりメタルマスクを用いて画素を塗り分ける必要がない。そのため、より微細な画素を作製することができる。

【0228】また、従来のカラーフィルタを用いない構造では EL 表示装置の外部から侵入した可視光が EL 素子の発光層を励起させてしまい、所望の発色が得られない問題が起こりうる。しかしながら、本実施例のようにカラーフィルタを設けることで EL 素子には特定の波長の光しか入らないようになる。即ち、外部からの光により EL 素子が励起されてしまうような不具合を防ぐことが可能である。

【0229】次に、画素電極 6852 は透明導電膜で形成され、EL 素子の陽極として機能する。また、画素電極 6852 の両端には絶縁膜 6857 が形成され、さらに白色に発光する発光層 6858 が形成される。

【0230】なお、発光層 6858 の材料として有機材料だけでなく無機材料を用いることができる。また、発光層だけでなく電子注入層、電子輸送層、正孔輸送層または正孔注入層を組み合わせた積層構造としても良い。

【0231】また、各発光層の上には EL 素子の陰極 6860 が遮光性を有する導電膜でもって形成される。この陰極 6860 は全ての画素に共通であり、接続配線 6808 を経由して FPC 6809 に電氣的に接続されている。

【0232】次に、第 1 シール材 6805 をディスペンサー等で形成し、スペーサ (図示せず) を撒布してカバ

一材 6804 を貼り合わせる。そして、TFT 基板、カバー材 6804 及び第 1 シール材 6805 で囲まれた領域内に充填材 6807 を真空注入法により充填する。

【0233】また、本実施例では充填材 6807 に予め吸湿性物質 6861 として酸化バリウムを添加しておく。なお、本実施例では吸湿性物質を充填材に添加して用いるが、塊状に分散させて充填材中に封入することもできる。また、図示されていないがスペーサの材料として吸湿性物質を用いることも可能である。

【0234】次に、充填材 6807 を紫外線照射または加熱により硬化させた後、第 1 シール材 6805 に形成された開口部 (図示せず) を塞ぐ。第 1 シール材 6805 の開口部を塞いだら、導電性材料 6862 を用いて接続配線 6808 及び FPC 6809 を電氣的に接続させる。さらに、第 1 シール材 6805 の露呈部及び FPC 6809 の一部を覆うように第 2 シール材 6806 を設ける。第 2 シール材 6806 は第 1 シール材 6805 と同様の材料を用いれば良い。

【0235】以上のような方式を用いて EL 素子を充填材 6807 に封入することにより、EL 素子を外部から完全に遮断することができ、外部から水分や酸素等の有機材料の酸化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い EL 表示装置を作製することができる。

【0236】また、本発明を用いることで既存の液晶表示装置用の製造ラインを転用させることができるため、整備投資の費用が大幅に削減可能であり、歩留まりの高いプロセスで 1 枚の基板から複数の発光装置を生産することができるため、大幅に製造コストを低減しうる。

【0237】(実施例 14) 本実施例では、実施例 13 に示した EL 表示装置において、EL 素子から発する光の放射方向とカラーフィルタの配置を異ならせた場合の例について示す。説明には図 22 を用いるが、基本的な構造は図 21 (B) と同様であるので変更部分に新しい符号を付して説明する。

【0238】本実施例では画素部 6901 にはスイッチング用 TFT 6902 として n チャネル型 TFT が用いられている。また、スイッチング用 TFT 6902 のドレインには画素電極 6903 が電氣的に接続され、この画素電極 6903 は遮光性を有する導電膜で形成されている。本実施例では画素電極 6903 が EL 素子の陰極となる。

【0239】また、本発明を用いて形成された白色に発光する発光層 6858 の上には各画素に共通な透明導電膜 6904 が形成される。この透明導電膜 6904 は EL 素子の陽極となる。

【0240】さらに、本実施例ではカラーフィルタ (R) 6905、カラーフィルタ (G) 6906 及びカラーフィルタ (B) (図示せず) がカバー材 6804 に形成されている点に特徴がある。本実施例の EL 素子の

構造とした場合、発光層から発した光の放射方向がカバー材側に向かうため、図22の構造とすればその光の経路にカラーフィルタを設置することができる。

【0241】本実施例のようにカラーフィルタ(R)6905、カラーフィルタ(G)6906及びカラーフィルタ(B)(図示せず)をカバー材6804に設けると、TFT基板の工程を少なくすることができ、歩留まり及びスループットの向上を図ることができるという利点がある。

【0242】(実施例15)本発明を用いて形成された電子表示装置、特にEL表示装置は様々な電子機器に用いることができる。以下に、本発明を用いて形成された電子表示装置を表示媒体として組み込んだ電子機器について説明する。

【0243】その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図24に示す。

【0244】図24(A)はパーソナルコンピュータであり、本体2001、筐体2002、表示部2003、キーボード2004等を含む。本発明のEL表示装置はパーソナルコンピュータの表示部2003に用いることができる。

【0245】図24(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のEL表示装置はビデオカメラの表示部2102に用いることができる。

【0246】図24(C)は頭部取り付け型のEL表示装置の一部(右片側)であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示モニター2304、光学系2305、表示部2306等を含む。本発明のEL表示装置は頭部取り付け型のEL表示装置の表示部2306に用いることができる。

【0247】図24(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2401、記録媒体(CD、LDまたはDVD等)2402、操作スイッチ2403、表示部(a)2404、表示部(b)2405等を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本発明のEL表示装置は記録媒体を備えた画像再生装置の表示部(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

【0248】図24(E)は携帯型(モバイル)コンピュータであり、本体2501、カメラ部2502、受像部2503、操作スイッチ2504、表示部2505等

を含む。本発明のEL表示装置は携帯型(モバイル)コンピュータの表示部2505に用いることができる。

【0249】また、将来的にEL材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0250】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~14のどのような組み合わせからなる構成を用いても実現することができる。

【0251】

【発明の効果】従来のパッシブ型EL表示装置では、信号線駆動回路を半導体基板の上に作製していた。そのため、絶縁基板上に作製された画素と接続させる場合、基板素材の違いにより、熱に対して歪みが発生するという欠点があった。また、アクティブ型EL表示装置では、画素サイズを小さくした場合、画素中でトランジスタの占める割合が増大し開口率の低下を招いていた。

【0252】しかし、本発明は上記構成によって、絶縁基板上に信号線駆動回路を形成できる。また、アクティブ型EL表示装置の開口率を増大することができる。これにより、信頼性が高いパッシブ型EL表示装置を提供することが可能である。また、高画質のアクティブ型EL表示装置を提供することが可能である。

【図面の簡単な説明】

【図1】 本発明のEL表示装置のソース信号線駆動回路の構成を示す図。

【図2】 従来のパッシブ型EL表示装置の画素部の等価回路図。

【図3】 従来のアクティブ型EL表示装置の画素部の回路図。

【図4】 従来のアクティブ型EL表示装置の画素部の回路図。

【図5】 従来のアクティブ型EL表示装置の駆動方法を示すタイミングチャートを示す図。

【図6】 TFTのId-Vg特性を示す図。

【図7】 本発明のEL表示装置のソース信号線駆動回路の構成を示す図。

【図8】 本発明のEL表示装置のソース信号線駆動回路の回路図。

【図9】 本発明のEL表示装置のソース信号線駆動回路の回路図。

【図10】 本発明のEL表示装置のソース信号線駆動回路の駆動方法を示すタイミングチャートを示す図。

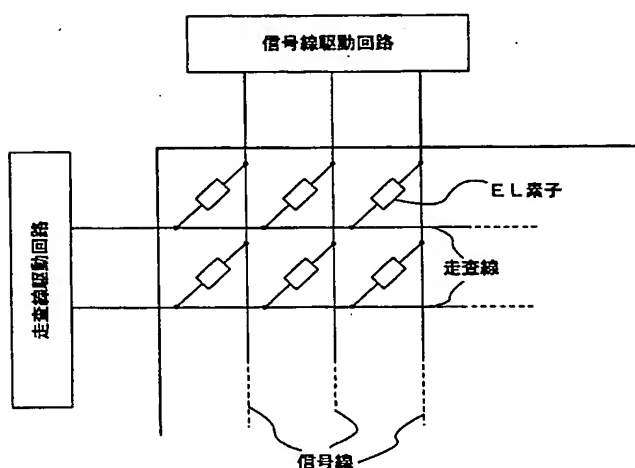
【図11】 本発明のEL表示装置のソース信号線駆動回路の回路図。

【図12】 本発明のEL表示装置の画素の構成を示す図。

【図13】 本発明のEL表示装置の画素部の構成を示す図。

【図 1 9】 本発明の E L 表示装置の画素部の断面図。  
【図 2 0】 本発明の E L 表示装置の画素部の断面図。  
【図 2 1】 本発明の E L 表示装置の画素部の上面図及び断面図。  
【図 2 2】 本発明の E L 表示装置の画素部の断面図。  
【図 2 3】 本発明の E L 表示装置の画素部の上面図及び断面図。  
【図 2 4】 本発明の E L 表示装置を用いた電子機器を示す図。

【图2】



【图4】

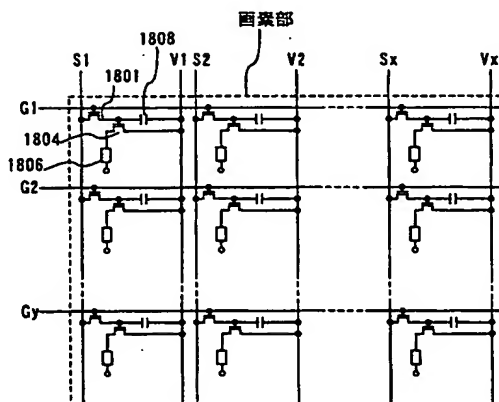


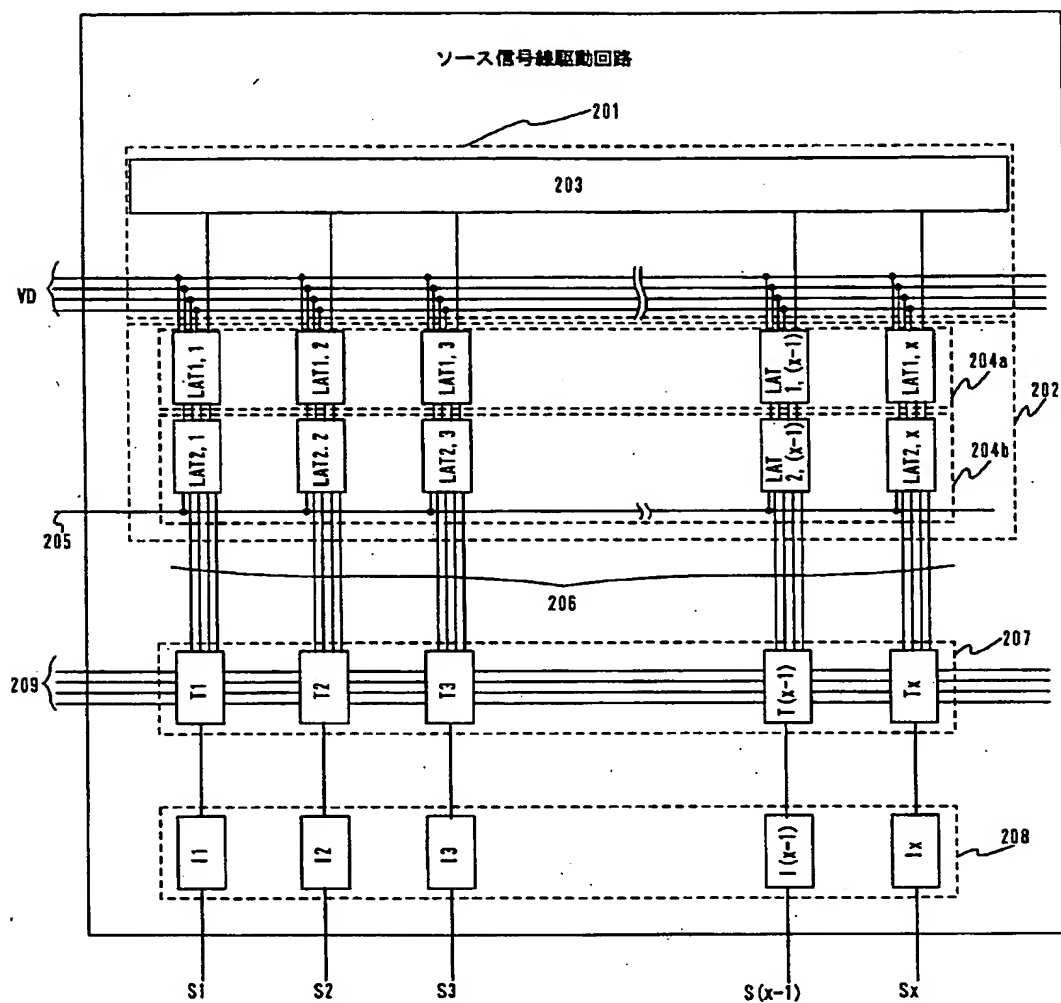
Figure 1 is a graph showing the drain current ( $I_d$ ) versus the gate voltage ( $V_g$ ). The curve exhibits a minimum current region (labeled 401) and a steep increase region (labeled 402).

A block diagram of a memory array structure. At the top, a dashed line labeled 201 encloses a horizontal rectangular block labeled 203. Below block 203, four horizontal lines are shown, with a bracket on the left labeled VD. Four dots are placed on these lines, each connected by a vertical line to a block labeled LAT1, 1. Below LAT1, 1, four vertical lines connect to a block labeled LAT2, 1. Below LAT2, 1, four vertical lines extend downwards, each ending in a dot on a horizontal line labeled 205. These four lines are labeled L1,1, L1,2, L1,3, and L1,4 from left to right. A bracket below these labels is labeled 206.

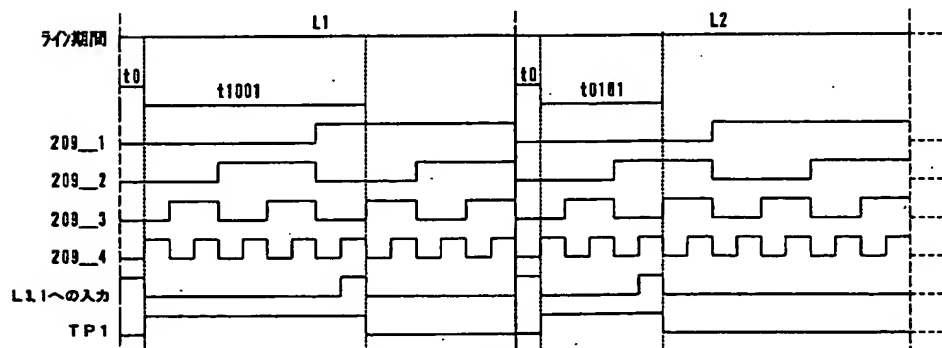
(B)

The graph shows the drain current  $I_d$  on the vertical axis and the gate voltage  $V_g$  on the horizontal axis. A solid curve represents the  $I_d$  vs.  $V_g$  characteristic. A vertical dashed line is drawn at  $V_{th}$ . The region between the curve and the  $V_g$  axis for  $V_g < V_{th}$  is shaded with diagonal lines and labeled "サブスレッショルド領域" (subthreshold region).

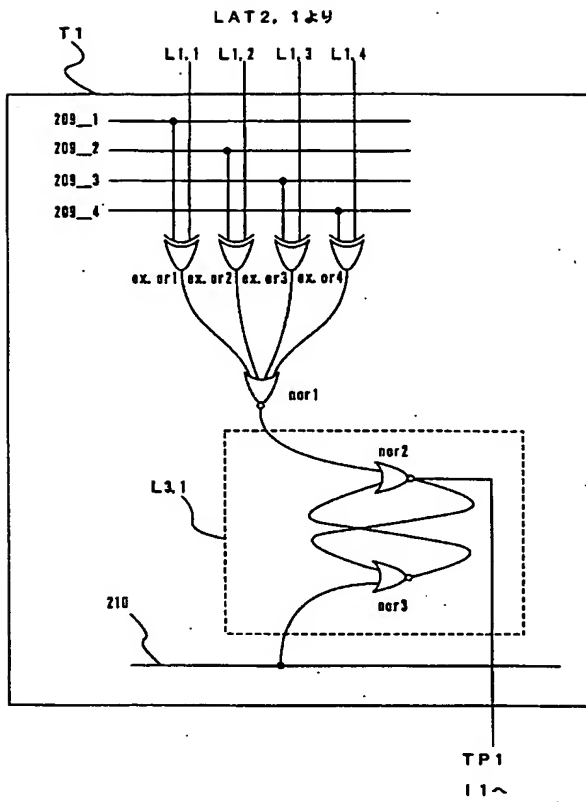
【図 7】



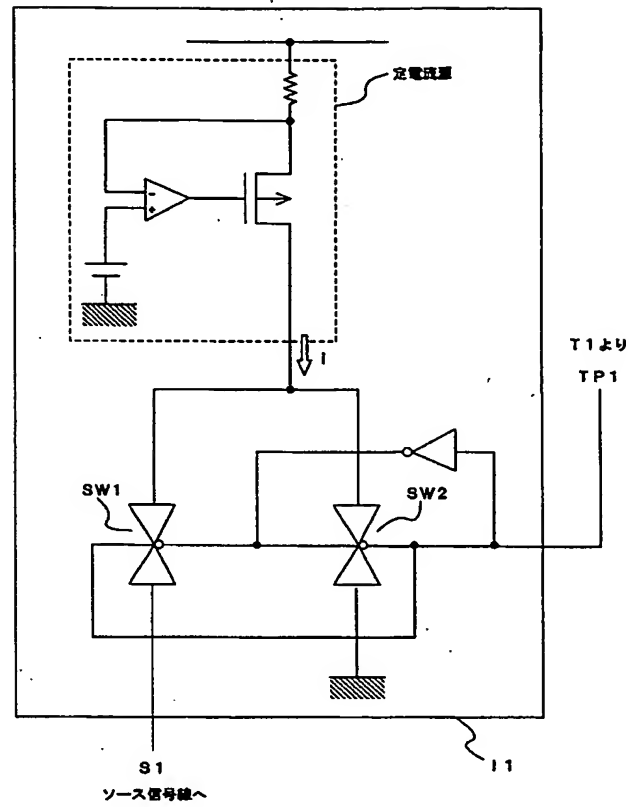
【図 10】



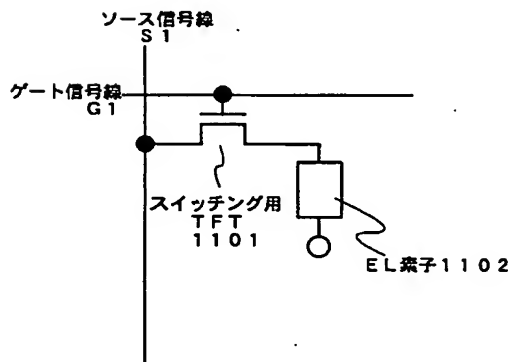
【図 9】



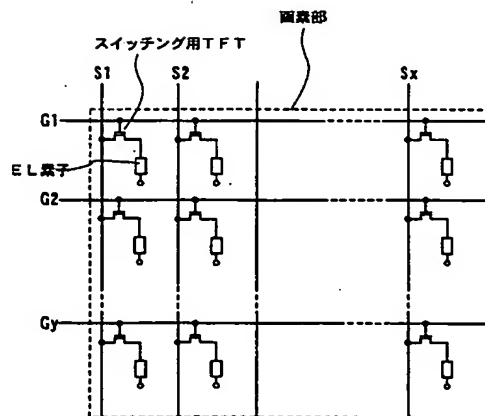
【図 11】



【図 12】



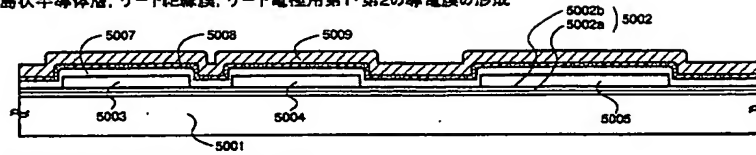
【図 13】



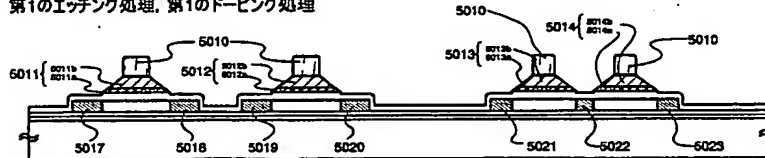


【図14】

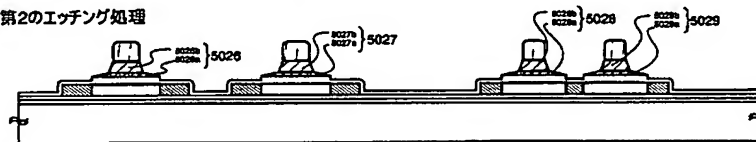
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜の形成



(B) 第1のエッチング処理、第1のドーピング処理



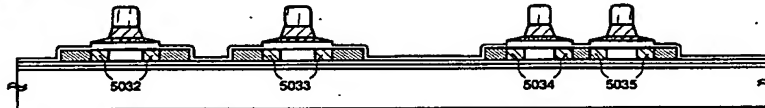
(C) 第2のエッチング処理



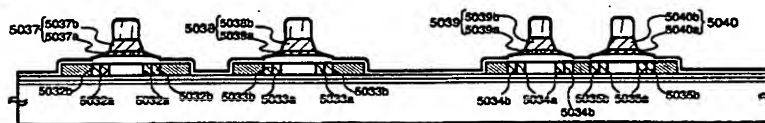
5001: 基板  
5002: ゲート電極  
5003: 半導体層  
5007: ゲート絶縁膜  
5008: 第1の導電膜  
5009: 第2の導電膜  
5010: レジストマスク  
5011~5014: 第1の形状の導電膜  
5011a~5014a: 第1の導電膜  
5011b~5014b: 第2の導電膜  
5017~5023: 第1の不純物領域  
5026~5029: 第2の不純物領域  
5026a~5029a: 第1の導電膜  
5026b~5029b: 第2の導電膜

【図15】

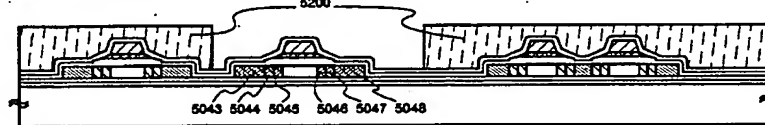
(A) 第2のドーピング処理



(B) 第3のエッチング処理

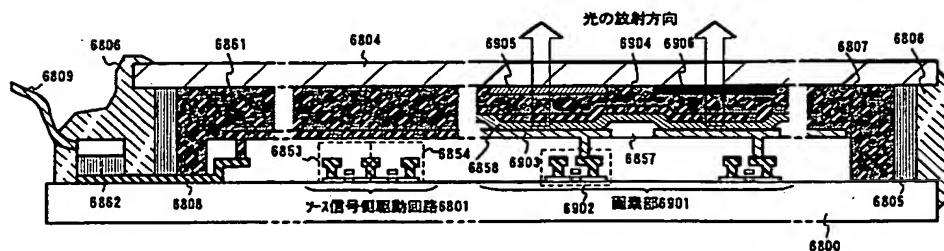


(C) 第3のドーピング処理



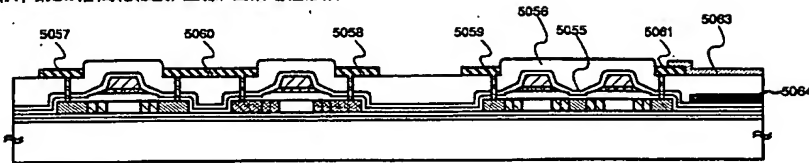
5032~5035: 第3の不純物領域(エッチング前)  
5032a~5035a: 第3の不純物領域(エッチング後)  
5032b~5035b: 第2の不純物領域  
5043~5046: 第4の不純物領域  
5200: レジストマスク

【図22】

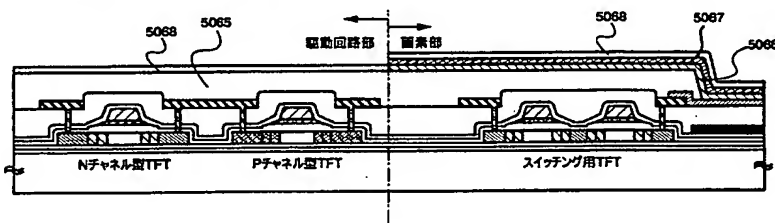


【図16】

(A) 第1, 第2の層間絶縁膜, 配線, 画素電極形成



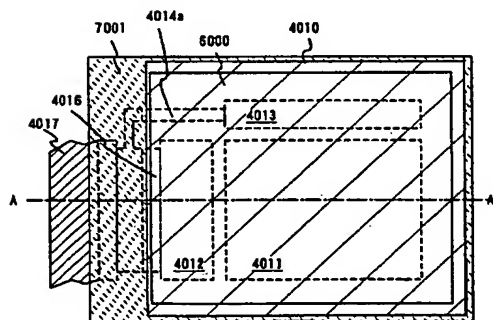
(B) 第3の層間絶縁膜, EL層, 陰極電極, パッシベーション膜形成



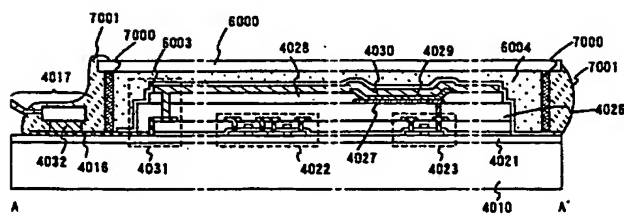
5055: 第1の層間絶縁膜  
5058: 第2の層間絶縁膜  
5057~5061: 配線  
5063: 画素電極  
5064: カラーフィルタ  
5065: 第3の層間絶縁膜  
5066: EL層  
5067: 陰極  
5068: パッシベーション膜

【図17】

(A)

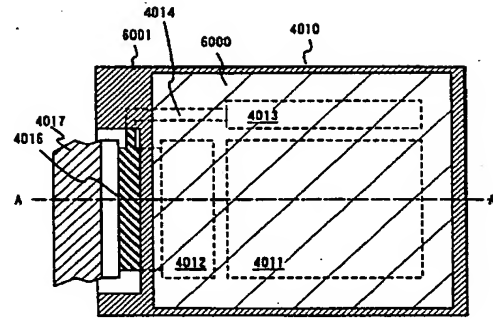


(B)

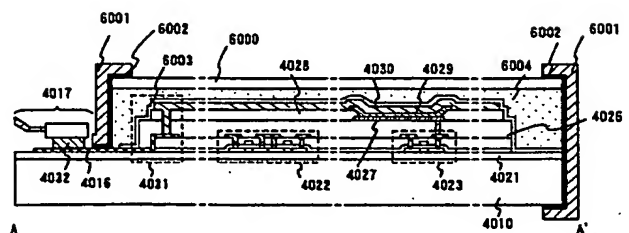


【図18】

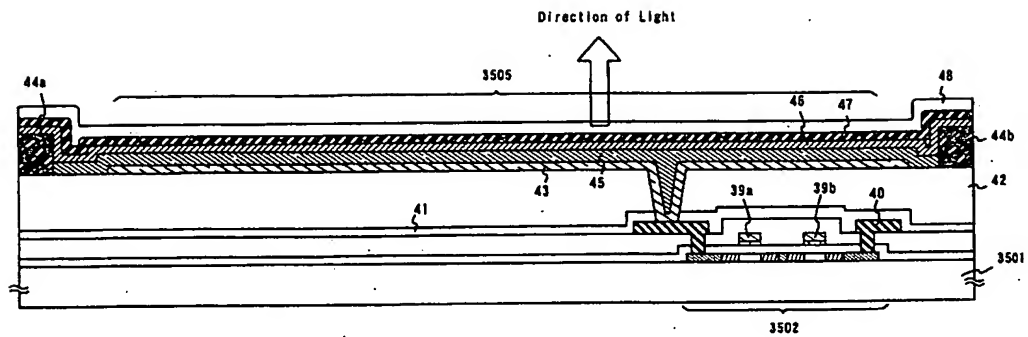
(A)



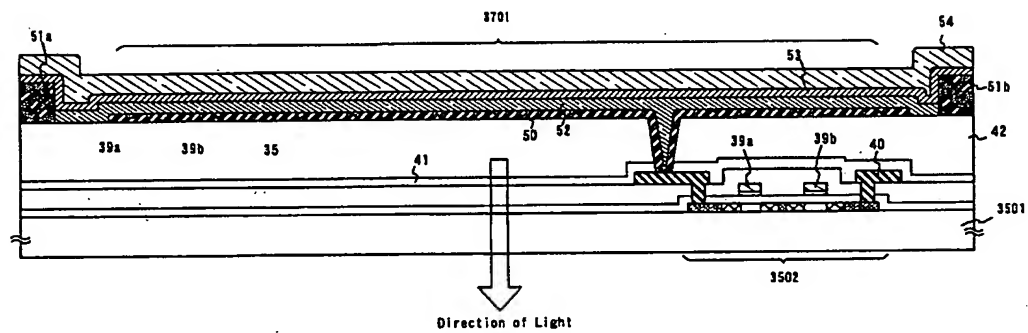
(B)



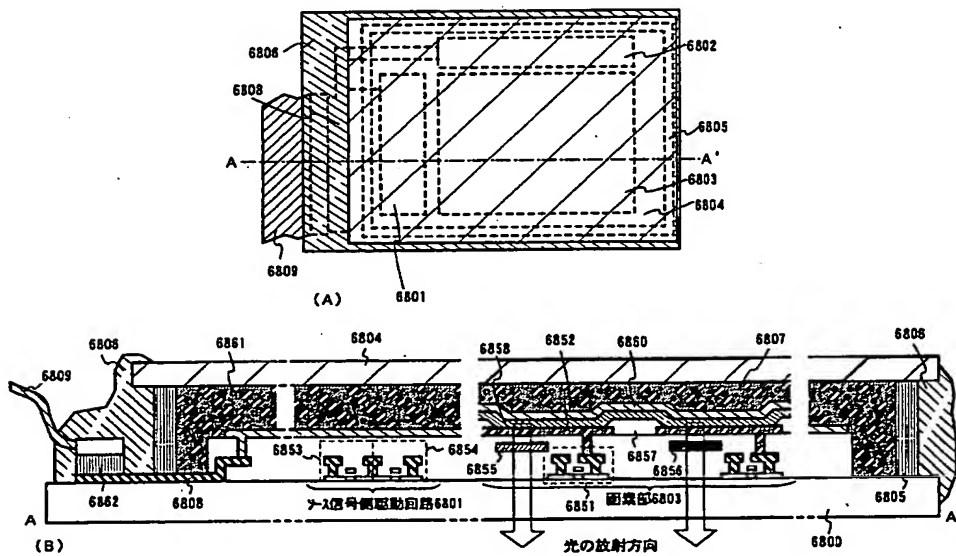
【图 19】



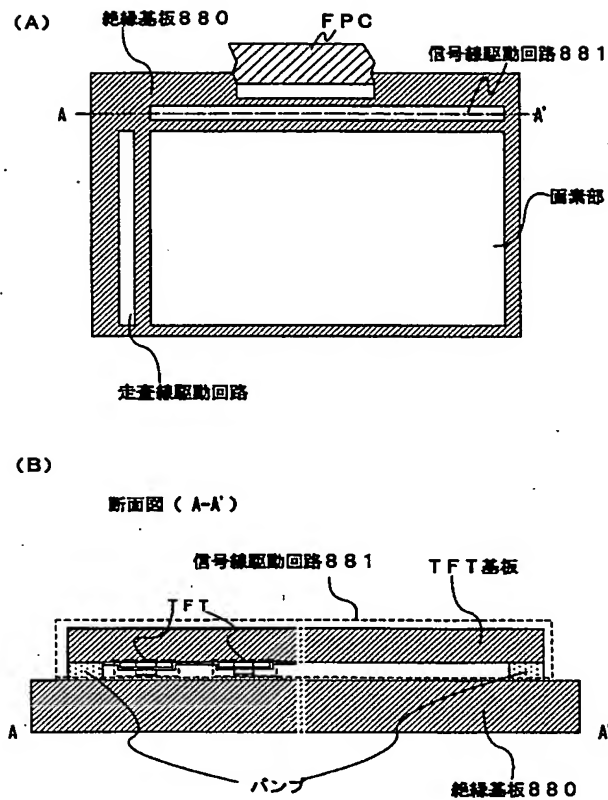
【図20】



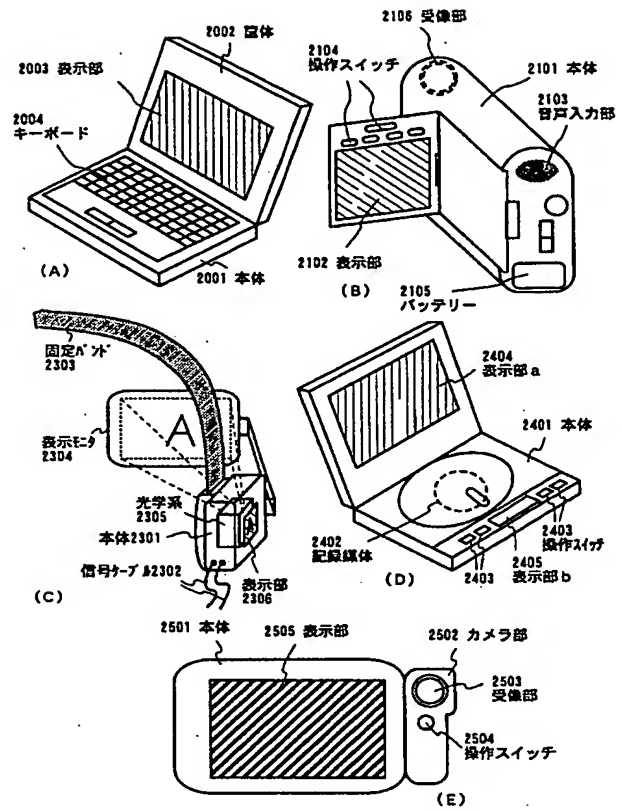
【図 2 1】



【図 23】



【図 24】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 4 1 6 8 0	G 0 9 G 3/20	6 4 1 A 6 8 0 V
H 0 5 B 33/04		H 0 5 B 33/04	
33/08		33/08	
33/12		33/12	B
33/14		33/14	E B